

2026 VLSI Review

단국대학교 파운드리공학과 석사과정 임재영

Session 4 Advanced High-Frequency Synthesizers

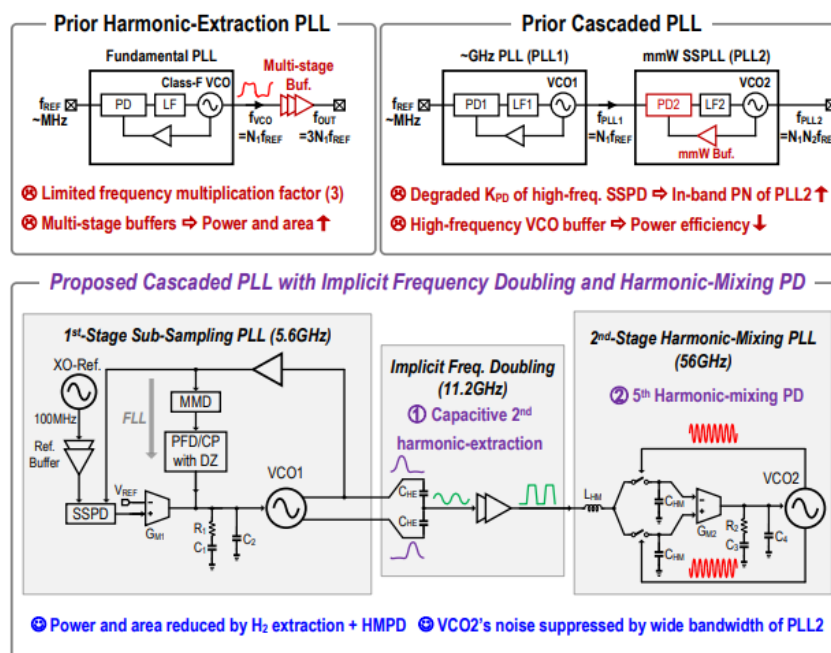
이번 VLSI 2026 Session 4에서는 초고속 유·무선 통신 시스템에서 요구되는 저지터 고주파 클록을 생성하기 위한 다양한 frequency synthesizer 기술들이 소개되었다. 특히 mmWave 대역에서 발생하는 VCO의 phase noise와 주파수 합성 과정에서의 전력 및 면적 증가를 개선하기 위한 새로운 VCO 및 PLL 구조들이 발표되었다. 본 리뷰에서는 이중 harmonic extraction과 harmonic-mixing phase detection을 결합하여 낮은 jitter와 높은 전력 효율을 달성한 #4-3 논문을 중심으로 그 구조와 핵심 아이디어를 살펴본다.

#4-3 본 논문은 중국과학원 마이크로전자연구소 연구진을 중심으로 발표한 연구로, 낮은 jitter와 전력 소모를 동시에 달성하기 위한 2nd harmonic extraction과 5th harmonic-mixing phase detector(HMPD)를 적용한 54~60 GHz cascaded PLL 구조를 제안하였다. 100 Gb/s 이상의 초고속 wireline transceiver에서는 낮은 jitter를 갖는 mmWave clock이 요구되지만, 동작 주파수가 높아질수록 passive component의 제한된 quality factor로 인해 VCO의 phase noise가 증가하여 전체 PLL의 jitter 성능을 제한한다. 기존에는 낮은 주파수 VCO의 harmonic을 추출하거나 두 개의 PLL을 연결하는 cascaded 구조를 사용하였으나, harmonic-extraction 방식은 frequency multiplication 범위가 제한되고 여러 단계의 buffer로 인해 전력과 면적이 증가한다. 또한 기존 cascaded PLL의 2nd-stage에서는 high-frequency isolation buffer와 낮은 phase-detector gain으로 인해 전력 소모와 in-band phase noise가 증가하는 한계가 있다. 이를 해결하기 위해 제안된 cascaded PLL은 5.6 GHz의 1st-stage sub-sampling PLL과 56 GHz의 2nd-stage harmonic-mixing PLL로 구성된다. 먼저 1st-stage의 Class- F_2 VCO에서 발생하는 2nd harmonic을 직접 추출하여 11.2 GHz 신호를 생성한다. 이러한 implicit frequency doubling은 별도의 active frequency doubler를 사용하지 않고 VCO 내부에서 생성되는 harmonic을 이용함으로써 추가적인 전력 및 면적 소모를 줄인다. 또한 추출된 2nd-harmonic 신호는 process 및 temperature 변화에서도 충분한 amplitude를 유지하여 2nd-stage PLL의 고주파 reference로 사용된다. 2nd-stage PLL에서는 기존 high-frequency sub-sampling 방식의 한계를 개선하기 위해 5th harmonic-mixing phase detector(HMPD)를 사용한다. 11.2 GHz 신호를 inverter-based buffer를 통해 harmonic 성분이 포함된 quasi-square waveform으로 변환하고, 이 신호의 5th harmonic과 56 GHz VCO 출력을 직접 mixing하여 phase error를 검출한다. 이를 통해 별도의 mmWave VCO isolation buffer와 복잡한 sampling clock을 제

거하고, 기존 voltage-sampling 방식에서 sampling capacitance에 의해 phase-detector gain이 제한되는 문제를 완화하였다. 또한 작은 series-peaking inductor를 이용하여 5th-harmonic 성분을 강화함으로써 phase-detector gain을 향상시켰으며, harmonic-generation buffer를 포함한 HMPD는 1.3 mW의 낮은 전력을 소비한다. 결과적으로 5.6 GHz의 1st-stage PLL 출력은 2nd harmonic extraction과 5th harmonic mixing을 통해 총 10배의 frequency multiplication을 거쳐 56 GHz까지 확장된다.

제안된 cascaded 구조는 2nd-stage PLL의 넓은 loop bandwidth를 이용하여 56 GHz VCO의 phase noise를 효과적으로 억제한다. 고주파 VCO 자체는 낮은 quality factor로 인해 상대적으로 높은 phase noise를 가지지만, 약 100 MHz의 넓은 PLL2 bandwidth를 통해 저주파 영역에서는 1st-stage에서 전달된 저지터 reference를 따라가도록 한다. 이를 통해 우수한 phase noise 특성을 갖는 multi-GHz PLL의 성능을 활용하면서 mmWave 대역까지 주파수를 확장하고, 추가적인 jitter 증가를 최소화하였다.

측정 결과, 28 nm CMOS 공정으로 제작된 PLL은 0.23 mm²의 core area에서 54~60 GHz의 tuning range를 가지며, 56 GHz에서 53.8 fs의 RMS jitter와 14.9 mW의 소비전력을 달성하였다. 또한 측정된 3개의 chip 모두 전체 tuning range에서 60 fs 이하의 RMS jitter를 유지하였다. 결과적으로 본 연구는 implicit 2nd harmonic extraction과 5th harmonic-mixing phase detection을 cascaded PLL에 결합하여 고주파 buffer에 의한 전력 소모를 줄이고, 낮은 jitter를 유지하면서 56 GHz까지 효율적인 frequency multiplication을 구현하였다. 이를 통해 초고속 wireline transceiver에서 요구되는 저전력·저지터 mmWave clock generation을 위한 새로운 frequency synthesizer 설계 방향을 제시하였다.



[그림 1] 기존 고주파 PLL 구조와 제안된 Cascaded PLL의 전체 구조

저자정보



임재영 석사과정 대학원생

- 소속 : 단국대학교
- 연구분야 : clock generators
- 이메일 : lly72250338@dankook.ac.kr
- 홈페이지 : <https://sites.google.com/dankook.ac.kr/acs-lab>